

CLIPPEDIMAGE= JP403283542A

PAT-NO: JP403283542A

DOCUMENT-IDENTIFIER: JP 03283542 A

TITLE: BONDING OF SEMICONDUCTOR CHIP

PUBN-DATE: December 13, 1991

INVENTOR-INFORMATION:

NAME

KOGASHIWA, TOSHINORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TANAKA DENSHI KOGYO KK

N/A

APPL-NO: JP02083094

APPL-DATE: March 30, 1990

INT-CL (IPC): H01L021/603;H01L021/321

US-CL-CURRENT: 228/1.1,228/180.22

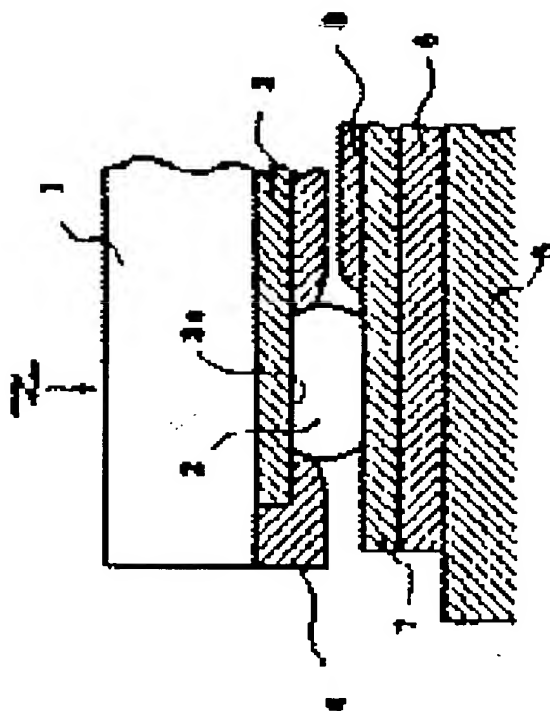
ABSTRACT:

PURPOSE: To prevent corrosion of wirings, improve reliability through enhancement of quality and improve operation capability through curtailment of processing time by depositing a solder bump including a material as the main element selected from Pb, In, Sn on an electrode pad of a semiconductor chip and then bonding such solder bump under a temperature lower than the liquid phase line temperature through thermal pressuring method.

CONSTITUTION: A thin alloy wire is formed as a solder material, in the quick cooling solidification method, by mixing additives such as Be, Sn, Ag, Gn, Ni, Sb, Au, Pd, Pt, In, etc., to a principal element selected from Pb, In, Sn. A solder bump 2 is formed by depositing this alloy wire on an electrode pad 3a using a wire bonder. In a semiconductor chip 1, such solder bump 2 is bonded on a wiring 6 of a substrate 5, more specifically, on a base material 7 through

thermal pressuring method. In this bonding process, the solder bump 2 is thermally pressurized while it is heated to a temperature lower than the liquid phase line temperature (solid phase line temperature) of its composition. The pressurizing method depends on the thermal pressurizing method or on the thermal pressurizing method utilizing ultrasonic wave.

COPYRIGHT: (C)1991,JPO&Japio



⑫ 公開特許公報(A) 平3-283542

⑤ Int. Cl.³

識別記号

庁内整理番号

④ 公開 平成3年(1991)12月13日

H 01 L 21/603
21/321

B

6918-4M

6940-5F

H 01 L 21/92

B

審査請求 未請求 請求項の数 4 (全4頁)

⑭ 発明の名称 半導体チップの接続方法

⑯ 特 願 平2-83094

⑰ 出 願 平2(1990)3月30日

⑱ 発 明 者 小 柏 俊 典 東京都三鷹市下連雀8-5-1 田中電子工業株式会社三鷹工場内

⑲ 出 願 人 田中電子工業株式会社 東京都中央区日本橋茅場町2丁目6番6号

⑳ 代 理 人 弁理士 早川 政 名

明 細 書

1. 発明の名称

半導体チップの接続方法

2. 特許請求の範囲

(1) 半導体チップの電極パッド上に、Pb、I₁、S₁の何れか1つを主要元素とする半田バンプを接着し、該バンプをその液相線温度以下に加熱した状態で基板の配線上に熱圧着して接合させる半導体チップの接続方法。

(2) 上記熱圧着手段が超音波併用の熱圧着法である請求項第1項記載の接続方法。

(3) 上記半導体チップの電極パッドがAu合金パッドであり、該パッド上に半田バンプを直接に接着してなる請求項第1項又は第2項記載の接続方法。

(4) 上記電極パッドがその上面に被覆層を形成し、該被覆層上に半田バンプを接し、その被覆層の最上層がAu、Ag、Pt、Pd、Sn、In、Pb-Sn合金、Pb-In合金の何れか1つ

である請求項第1項又は第2項記載の接続方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体チップの接続方法、詳しくはワイヤレスボンディング法、とくにフリップチップボンディング法又はテープキャリアボンディング法により半導体チップを基板に接合させる接合方法に関する。

(従来技術とその課題)

従来、半導体チップを基板に接続する手段は、半導体チップのAu電極パッド上に半田バンプを形成し、該半田バンプを介して基板の配線上に接合させることにより行なわれるが、上記半田バンプを形成する方法として特開平1-205551号公報が知られている。

この従来のバンプ形成方法は、半導体チップのAu電極パッド上に半田バンプを供給した後に、前記パッドと反応の少ない有機液体(フラックス)中で、半田バンプの融点以上に加熱して該バンプを球状化させるリフロー処理を行ない、その後洗

浄によりフラックスを除去し、次に半田パンプの融点以上に再加熱した状態で基板の配線に接合させて半導体チップを基板に接続させる方法である。

しかるに上記従来方法によれば、リフロー処理を施すため、電極パッド上に残ったフラックスを除去する洗浄処理を必要とし、そのリフロー処理及び洗浄処理の工程により作業性に劣るとともに半田パンプをその融点以上に加熱することから、電極パッドと半田との反応を制御し難く、A1パッドが半田にくわれてしまい接合強度が低下する問題があり、また、電極パッド上にフラックス残渣が残る場合には半導体チップ上に形成されているA1配線を腐食する等の不具合がある。

本発明は斯る従来不具合を解消すべく、前記リフロー処理を省くとともに基板との接合に際し、半田パンプの再溶融を行なわないようにして、作業性を高め、かつ信頼性の高い半導体製品を提供することを目的とする。

(課題を達成するための手段)

斯る本発明の半導体チップの接続方法は、半導

体チップの電極パッド上にPb、In、Snの何れか1つを主要元素とする半田パンプを接着し、該パンプをその液相線温度以下に加熱した状態で基板の配線上に熱圧着して接合させることを特徴とする。

而して上記液相線温度以下とは半田パンプが溶融しない状態を保持することをいい、半田パンプが合金の場合には固相線温度以下であることが好ましい。

熱圧着手段は通常の熱圧着法によることもよいが、好ましくは超音波をかけながら熱圧着する超音波併用方式の熱圧着法がよい。

(作用)

本発明によれば、半導体チップの電極パッド上に半田パンプを接着してパンプ電極を形成した後、リフロー処理を省く工程を経ることなく、該パンプ組成の液相線温度以下で半田パンプを基板の配線上に位置合せをし熱圧着手段により接合せしめるものである。

(実施例)

本発明の実施例を図面により説明すれば、第1図は半導体チップ1に半田パンプ2を形成した状態を示し、図中3は半導体チップ1上に形成されたA1合金配線、4は絶縁膜、3aは配線3の端部に配置されたA1電極パッドである。

半田パンプ2はPb、Sn、Inの何れか1つを主要元素とし、それに添加元素を配合せしめた半田材料であり、好ましくは本出願人が先に提案した(特願昭63-301535号及び特願平1-340132号)合金ワイヤーを使用する。

すなわち、半田材料はPb、In、Snの何れか1つを主要元素とし、それにBi、Sb、Ag、Cu、Ni、Sn、Al、Pd、Pt、Ia等の添加元素を配合せしめ、かつ急冷凝固法により作成された細線からなる合金ワイヤーであり、この合金ワイヤーをワイヤボンダーを使用して電極パッド3a上に接着することにより第1図の如き半田パンプ2を形成したものである。

第2図は前記半導体チップ1が接続される基板

5を示し、該基板5はセラミックあるいはガラスエポキシ基板であり、その上面には配線6が形成されている。

配線6はCu配線を例示してあり、好ましくは図示の如く配線6上に半田パンプ2と反応しやすい下地材7、例えばAu、Ag、Pt、Pd、Sn、In、Pb-Sn合金、Pd-In合金などをメッキ法や蒸着法により被覆させる。

尚、第2図中8は絶縁膜である。

上記半導体チップ1はその半田パンプ2を基板5の配線6上、詳しくは下地材7上に熱圧着して接合させる(第3図)。

この接合工程においては半田パンプ2はその組成の液相線温度(固相線温度)以下に加熱した状態で熱圧着を施し、その圧着手段は熱圧着法又は超音波併用の熱圧着法による。

この実施例において、半田パンプ2はその材料として、20wt% Sn、0.2wt% Cu、0.2wt% Ni、6wt% Sb、10wt% Ag、残りがPbからなる合金ワイヤーを使用し(液相線温度 280℃、

固相線温度 180℃)、加熱温度は 170℃の下で熱圧着を施した。

第4図は半導体チップの変形例を示し、この半導体チップ1'はそのAl合金配線3上に複数の被覆層10a、10b、10cを積層して構成される電極パッド10を形成し、該パッド10上に前述したと同様の方法で半田パンプ2'を接着して形成した実施例である。

上記被覆層10aは、Cr、Ti、Wの何れか1つ又はそれらの合金、被覆層10bは、Cu、Niの何れか1つ又はその合金である。

最上層の被覆層10cは半田パンプ2'と反応しやすい元素、すなわちAu、Ag、Pt、Pd、Sn、In、Pb-Sn合金、Pb-In合金の何れか1つである。

半田パンプ2'は前記パンプ2と同一の組成、すなわち20wt% Sn、0.2wt% Cu、0.2wt% Ni、6wt% Sb、10wt% Ag、残りがPbからなるワイヤを使用し、半導体チップ1'の被覆層10c上に接着した後、170℃の温度下で熱圧着法

又は超音波併用の熱圧着法により基板5に接合せしめた(第5図)。

上述した2つの実施例において、半導体チップと基板との接合強度をテストした1パンプ当りの結果は下表の通りであった。

尚、基板5側の下地材7にはSnを用い、また表中の電極パッドの最上層は第1実施例ではAl合金配線それ自体であるので、Al合金と表記し(第1段)、第2実施例では被覆層10cの素材毎にテストし(第2~8段)、第9及び第10段はフラックス中、100℃でリフロー接合した比較例である。

	パンプの組成	チップ配線上の最上層	熱圧着法(170℃)による接合強度	超音波併用熱圧着法(170℃)による接合強度	接合強度
1		Al合金	35 g	40 g	
2	Pb50%Cu0.2%	Al	38 g	45 g	
3	Ni0.2% Sb6% Ag10%	Ag	40 g	50 g	
4		Pt	38 g	47 g	
5		Pd	37 g	47 g	
6		Sn	35 g	50 g	
7		Pb50%合金	40 g	50 g	
8		Pb10%合金	40 g	50 g	
9	比較例	Al合金	—	—	5 g
10		Au	—	—	11 g

上記テスト結果によれば、本発明方法による場合でも、比較例(従来法)のものに較べ接合強度が改善されることが理解されよう。

尚、上記実施例はフリップチップボンディング型を説明したが、テープキャリアボンディング型の場合も同様である。

(効果)

本発明によれば、半導体チップに接着した半田パンプのリフロー処理を行なわないので、該処理及びその後工程のフラックス洗浄処理による処理時間を短縮して作業性を向上させることができる。

又、上記半田パンプを液相線温度以上に再溶融させないので、パンプによるパッドのくわれ現象が生じることなく、熱圧着手段と相まってパンプの接合強度を確保することができ、さらにフラックス残渣によるチップ上の配線腐食を防止することができ、品質を高め製品の信頼性を向上させる。

4. 図面の簡単な説明

第1図~第3図は本発明の第1実施例を示し、

第1図は半導体チップの部分拡大断面図、第2図は基板の部分拡大断面図、第3図は接合状態を示す部分拡大断面図、第4図は第2実施例の半導体チップの部分拡大断面図、第5図はその接合状態を示す部分拡大断面図である。

図中、1、1'は半導体チップ、2、2'は半田パンプ、3a、10は電極パッド、10cは被覆層である。

特許出願人

田中電子工業株式会社

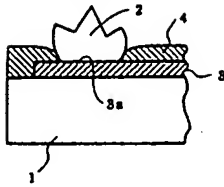
代理人

早川政名

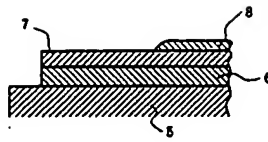


手続補正書

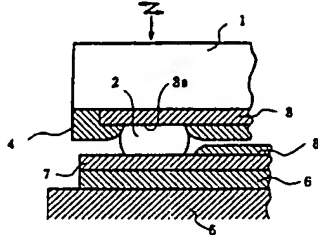
第1図



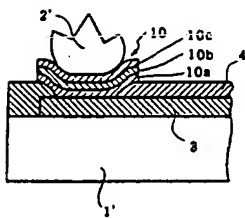
第2図



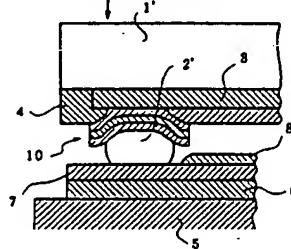
第3図



第4図



第5図



特許庁長官
(特許庁審査官)

吉

田

文

毅

殿

平成2年 5月25日

殿

1. 事件の表示

平成2年 特許願 第83094号

2. 発明の名称

半導体チップの接続方法

補正をする者

事件との関係

特許出願人

氏名(名称)

田中電子工業株式会社

4. 代理人

住所 東京都文京区白山5丁目14番7号

早川ビル 電話 東京946-0531番(代表)

氏名 (6860) 弁理士 早川 政 名

5. 補正命令の日付(自発補正)

平成 年 月 日

6. 補正の対象

(1) 明細書の発明の詳細な説明の欄

(2) 図面

7. 補正の内容

別紙の通り

補正書

- (1) 明細書第4頁第7～9行の「…することをいい、…好ましい。」を「…することをいう。」と補正する。
- (2) 明細書第5頁第10行の「…特願昭63-30153号…」を「…特開昭63-301535号…」と補正する。
- (3) 明細書第5頁第13行の「…Be、Sb、」を「…Be、Sb、」と補正する。
- (4) 明細書第6頁第9行の「尚、…である。」を削除する。
- (5) 明細書第7頁第18行の「…、10wt%Ab、…」を「…、10wt%Ag、…」と補正する。
- (6) 図面中、第2図、第3図及び第5図を別紙の通り補正する。

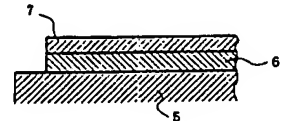
特許出願人

田中電子工業株式会社

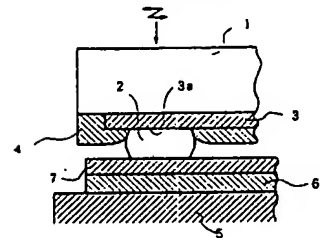
代理人

早川 政 名

第2図



第3図



第5図

